EC-504 (B) (GS)

B.Tech. V Semester

Examination, November 2022

Grading System (GS)

Computer System Organization

Time : Three Hours

Maximum Marks : 70

Note: i) Attempt any five questions.
किन्हीं पाँच प्रश्नों को हल कीजिए।

ii) All questions carry equal marks.
सभी प्रश्न के एक समान अंक हैं।

iii) Illustrate your answers with neat sketches wherever necessary.
जहाँ भी आवश्यक हो, अपने उत्तरों को स्वच्छ रेखाचित्रों के साथ स्पष्ट कीजिए।

iv) Assume suitable data if necessary.
यदि आवश्यक हो तो उपयुक्त डाटा मान लें।

v) Preferably, write the answers in sequential order.
अधिमानतः, अनुक्रमिक क्रम में उत्तर लिखें।

vi) In case of any doubt or dispute the English version question should be treated as final.
किसी भी प्रकार के संदेह अथवा विवाद की स्थिति में अंग्रेजी भाषा के प्रश्न को अंतिम माना जायेगा।

1. a) What task performs by following machine code? Assume initially: R1 = x, R2 = y, R3 = 0, R4 = 0 7
निम्नलिखित मशीन कोड से कौन–सा कार्य होता है? प्रारंभ में मान लें: R1 = x, R2 = y, R3 = 0, R4 = 0

```
INC R1          # RESULT = x + 1
COPY R3         # R3 = x+1
INC R3
COPY R3
MULT R1, R3     # RESULT = x * (x+2)
COPY R3
ADD R2, R2      # RESULT = 2*Y
COPY R4
```

b) What do you mean by virtual memory? Discuss how paging helps in implementing virtual memory. 7
वर्चुअल मेमोरी से आप क्या समझते हैं? चर्चा करें कि कैसे पेजिंग वर्चुअल मेमोरी को लागू करने में मदद करता है।

2. a) Consider the basic computer registers connected to a common bus system, if the memory size is 256 k word each of length 32 bits, and the instruction format has three parts: an Indirect address bit (I), the op-code part and the address part for this system perform the following: 7
   i) What is the number of bits of the address bus?
   ii) What is the number of memory reference instructions; register reference instructions?

एक सामान्य बस प्रणाली से जुड़े बुनियादी कंप्यूटर रजिस्टरों पर विचार करें। यदि मेमोरी का आकार 256 k शब्द है,प्रत्येक की लंबाई 32 बिट्स है, और निर्देश प्रारूप में तीन भाग हैं। एक अप्रत्यक्ष पता बिट (I) ऑप–कोड भाग और पता भाग इस प्रणाली के लिए निम्न कार्य करें।
   i) एड्रेस बस के बिट्स की संख्या कितनी होती है?
   ii) मेमोरी संदर्भ निर्देशों की संख्या क्या है। संदर्भ निर्देशों को पंजीकृत करें।

b) Draw and explain the flowchart of floating point addition process. 7
फ्लोटिंग पॉइंट जोड़ने की प्रक्रिया का फ्लोचार्ट बनाइए और समझाइए।

3. a) Explain the differences between hardwired control and micro programmed control? Is it possible to have a hardwired control associated with a control memory? 7
हार्टवेयर्ड कंट्रोल और माइक्रो प्रोग्राम्ड कंट्रोल के बीच अंतर स्पष्ट करें। क्या नियंत्रण स्मृति से जुड़े हार्डवेयर्ड नियंत्रण संभव है?

b) Find a method of encoding the micro instructions described by the following table so that the minimum number of control bits is used and all inherent parallelism among the micro-operations is preserved. 7
निम्नलिखित तालिका द्वारा वर्णित सूक्ष्म निर्देशों को एन्कोडींग करने की एक विधि खोजें ताकि नियंत्रण बिट्स की न्यूनतम संख्या का उपयोग किया जा सके और सूक्ष्म संचालन के बीच सभी अंतर्निहित समानांतरता संरक्षित रहे।

Micro instruction	Control Signals activated
I_1	*a, b, c, d, e*
I_2	*a, d, f, g*
I_3	*b, h*
I_4	*c*
I_5	*c, e, g, i*
I_6	*a, h, j*

4. a) With a neat sketch explain the micro programmed control organization. 7
सूक्ष्म क्रमादेशित नियंत्रण संगठन को स्वच्छ चित्र की सहायता से समझाइए।

b) A hardwired CPU uses 10 control signals S1 to S10 in various time steps T1 to T5 to implement 4 instructions I1 to I4 as shown below. 7

एक हार्डवेयर्ड सीपीयू 10 कंट्रोल सिग्नल S1 से S10 तक विभिन्न समय चरणों T1 से T5 में 4 निर्देशों I1 से I4 को लागू करने के लिए उपयोग करता है जैसा कि नीचे दिखाया गया है।

	T1	T2	T3	T4	T5
I1	S1, S3, S5	S2, S4, S6	S1, S7	S10	S3, S8
I2	S1, S3, S5	S8, S9, S10	S5, S6, S7	S6	S10
I3	S1, S3, S5	S7, S8, S10	S2, S6, S9	S10	S1, S3
I4	S1, S3, S5	S2, S6, S7	S5, S10	S6, S9	S10

Find out the Boolean Expressions represent the circuit for generating control signals S5, S6 and S10 respectively? [(Ij + Ik) T_n indicates that the control signal should be generated in time step T_n if the instruction being executed is Ij or Ik]

नियंत्रण संकेत S5, S6 और S10 उत्पन्न करने के लिए क्रमशः बूलियन एक्सप्रेशंस सर्किट का प्रतिनिधित्व करते हैं? [(Ij + Ik) T_n इंगित करता है कि नियंत्रण संकेत समय कदम T_n में उत्पन्न होना चाहिए यदि निर्देश Ij or Ik निष्पादित किया जा रहा है।

5. a) Draw flow chart and Explain Program Controlled I/O technique of data transfer between the CPU and I/O device 7
फ्लो चार्ट बनाएं और CPU और I/O डिवाइस के बीच डाटा ट्रांसफर की प्रोग्राम कंट्रोल्ड I/O तकनीक की व्याख्या करें।

b) The original I/O bus operated at 33 MHz and transferred 32 bits of data at a time. If the hard disks attached to the I/O bus could deliver a maximum of 40 MB per sec, is it possible to use a video card that needed 128 MB/sec of bandwidth to meet the demands of an application? Justify your answer. 7

मूल I/O बस 33 मेगाहर्ट्ज पर चलती थी और एक बार में 32 बिट डाटा स्थानांतरित करती थी। यदि I/O बस से जुड़ी हार्ड डिस्क अधिकतम 40 MB प्रति सेकंड डिलीवर कर सकती है, तो क्या एक वीडियो कार्ड का उपयोग करना संभव है जिसे किसी एप्लिकेशन की मांगों को पूरा करने के लिए 128 MB/sec बैंडविड्थ की आवश्यकता होती है? अपने जवाब का औचित्य साबित करें।

6. a) Explain how a typical DMA controller can be interfaced to CPU or microprocessor with suitable example 7

एक विशिष्ट DMA नियंत्रक को उपयुक्त उदाहरण के साथ CPU या माइक्रोप्रोसेसर के साथ कैसे जोड़ा जा सकता है। समझाइए।

b) An I/O device transfers 10 MB/s of data into the memory of a processor over the I/O bus, which has a total bandwidth of 100 MB/s. The 10MB of data is transferred as 2500 independent pages, each of which is 4kB in length. If the processor operates at 200 MHz, it takes 1000 cycles to initiate a DMA transaction and 1500 cycles to respond to the device's interrupt when the DMA transfer completes, what fraction of the CPU's time is spent handling the data transfer with DMA? 7

एक I/O डिवाइस I/O बस पर एक प्रोसेसर की मेमोरी में 10 MB/s डाटा स्थानांतरित करता है। जिसकी कुल बैंडविड्थ 100 MB/s है। 10 MB डेटा को 2500 स्वतंत्र पृष्ठों के रूप में स्थानांतरित किया जाता है, जिनमें से प्रत्येक की लंबाई 4kB है। यदि प्रोसेसर 200 मेगाहर्टज पर संचालित होता है, तो DMA हस्तांतरण पूरा होने पर DMA लेनदेन शुरू करने के लिए 1000 चक्र और डिवाइस की बाधा का जवाब देने के लिए 1500 चक्र लगते हैं। DMA के साथ डाटा स्थानांतरण को संभालने में CPU के समय का कितना अंश खर्च होता है?

7. a) Explain the different types of mapping procedures in the organization of cache memory with diagram. 7

कैश मेमोरी के संगठन में विभिन्न प्रकार की मैपिंग प्रक्रियाओं को आरेख की सहायता से समझाइए।

b) Suppose a 32-bit byte-addressable CPU accesses memory in the following order: 433, 435, 536, 535, 443, 444, 551, 538, 539, 553. Assume that we have 4 cache blocks. Initially the cache is empty. (1 word = 4 bytes) and 12 bits memory addresses are in hex decimal. 7

i) If the cache is direct-mapped, what is the total number of misses? Assume 1 block is 1 word. (Ignore the tag field and other bits.)

ii) If the cache is 2-way set associative with LRU replacement policy, what is the total number of misses? Assume 1 block is1 words. (Ignore the tag field and other bits.)

iii) If the cache is fully associative with FIFO replacement policy, what is the total number of misses? Assume 1 block is 1 word. (Ignore the tag field and other bits)

मान लीजिए कि 32–बिट बाइट–एड्रेसेबल CPU निम्नलिखित क्रम में मेमोरी एक्सेस करता हैं।

433, 435, 536, 535, 443, 444, 551, 538, 539, 553

मान लें कि हमारे पास 4 कैश ब्लॉक हैं। प्रारंभ में कैश खाली है। (1 शब्द = 4 बाइट्स) और 12 बिट्स मेमोरी एड्रेस हेक्स दशमलव में हैं।

i) यदि कैश डायरेक्ट–मैप्ड है, तो मिस की कुल संख्या कितनी है? मान लें कि 1 ब्लॉक 1 शब्द है। (टैग फील्ड और अन्य बिट्स पर ध्यान न दें।)

ii) यदि कैश LRU प्रतिस्थापन नीति के साथ 2–वे सेट सहयोगी है, तो मिस की कुल संख्या क्या है? मान लें कि 1 ब्लॉक 1 शब्द है। (टैग फील्ड और अन्य बिट्स पर ध्यान न दें।)

iii) यदि कैश पूरी तरह से FIFO प्रतिस्थापन नीति के साथ संबद्ध है, तो मिस की कुल संख्या क्या है? मान लें कि 1 ब्लॉक 1 शब्द है। (टैग फील्ड और अन्य बिट्स पर ध्यान न दें)

8. a) Cache memory 16KB instruction cache and 16KB data cache. 7

Hit cycle: 1, Miss cycle: 50

75% read access and 25% write access

Read miss rate=0.64%, Write miss rate=6.47%

What is the Average memory access time (AMAT)?

कैश मेमोरी 16KB निर्देश कैश और 16KB डाटा कैश

हिट साइकिलः 1, मिस साइकिलः 50

75% रीड एक्सेस और 25% राइट एक्सेस

मिस रेट पढ़ें =0.64%, मिस रेट लिखें =6.47%

औसत मेमोरी एक्सेस टाइम (AMAT) क्या है?

b) Formulate a four segment instruction pipeline for a computer. Specify the operation to be performed in each segment. 7

कंप्यूटर के लिए चार खंड निर्देश पाइपलाइन तैयार करें। प्रत्येक सेगमेंट में किए जाने वाले ऑपरेशन निर्दिष्ट करें।

******